**THỰC HÀNH NHẬP MÔN MẠCH SỐ - LỚP ……………………..**

**BÀI THỰC HÀNH 5: CÁC THÀNH PHẦN LƯU TRỮ**

|  |  |  |  |
| --- | --- | --- | --- |
| **Giảng viên hướng dẫn** |  | | **ĐIỂM** |
| **Sinh viên thực hiện** |  |  |  |

1. **Mục tiêu**

* Hiểu nguyên lý hoạt động của D latch, D flipflop và JK flipflop
* Hiểu hoạt động của Shifter (Serial D flipflops) và Register (Parallel D flipflops)

1. **Nội dung**
2. **Chuẩn bị ở nhà (làm cá nhân)**

Câu 1: Khảo sát tính chất của Mạch tổ hợp

* Vẽ mạch có sơ đồ bên dưới trên Quartus:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Sơ đồ mạch: | Bảng chân trị:   |  |  |  |  | | --- | --- | --- | --- | | **E** | **A** | **B** | **F** | | 0 | X | X | 0 | | 1 | 0 | 0 | 0 | | 1 | 0 | 1 | 1 | | 1 | 1 | 0 | 1 | | 1 | 1 | 1 | 1 | |

Ở sơ đồ mạch trên A và B là các tín hiệu dữ liệu, E là tín hiệu Enable. Nếu E = 1 thì F = A OR B, ngược lại thì F = 0.

* Mô phỏng mạch trên Quartus theo chuỗi kiểm tra sau:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | T0 | T1 | T2 | T3 | T4 | T5 | T6 | T7 | T8 | T9 |
| E | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| A | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| B | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| F |  |  |  |  |  |  |  |  |  |  |

* Nếu xem sơ đồ mạch trên là một thiết bị, thì khi thiết bị chuyển từ “được cho phép – enabled hay E = 1” sang “KHÔNG được cho phép – non-enabled hay E = 0” thì giá trị của ngõ ra có được lưu lại hay không?

* Không được lưu lại: ☐
* Được lưu lại: ☐

Câu 2: Khảo sát tính chất và hoạt động của D latch

* Vẽ mạch có sơ đồ bên dưới trên Quartus:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Sơ đồ mạch:  A close up of a clock  Description generated with high confidence | Bảng chân trị:   |  |  |  | | --- | --- | --- | | **E** | **D** | **Q** | | 0 | X | QPRE | | 1 | 0 | 0 | | 1 | 1 | 1 | |

D latch trên có D là tín hiệu dữ liệu, E là tín hiệu Enable. Nếu E = 0 thì Q = D, ngược lại thì Q = QPRE. Trong đó QPRE là giá trị trước đó của Q.

* Mô phỏng D latch trên Quartus theo chuỗi kiểm tra sau (lưu ý, giá trị mặc định ban đầu của Q  
  trên Quartus là 0):

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| E |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| D |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Q |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

* Khi D latch chuyển từ “được tích cực” sang “KHÔNG tích cực” thì giá trị của ngõ ra có được  
  lưu lại không?
* Không được lưu lại:
* Được lưu lại:

Câu 3: Khảo sát tính chất và hoạt động của D flipflop

* Vẽ mạch có sơ đồ bên dưới trên Quartus:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Sơ đồ mạch:  A close up of a clock  Description generated with high confidence | Bảng hoạt động:   |  |  |  | | --- | --- | --- | | **E** | **D** | **Q** | | 0 | X | QPRE | | 1 | X | QPRE | | ↓ | X | QPRE | | ↑ | 0 | 0 | | ↑ | 1 | 1 | |

D flipflop trên có D là tín hiệu dữ liệu, E là tín hiệu Enable. Nếu E chuyển từ 0 sang 1 thì Q = D,  
ngược lại thì Q = QPRE. Trong đó QPRE là giá trị trước đó của Q.

* Mô phỏng D flipflop trên Quartus theo chuỗi kiểm tra sau (lưu ý, giá trị mặc định ban đầu của Q  
  trên Quartus là 0):

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| E |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| D |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Q |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

* Khi D flipflop chuyển từ “tích cực cạnh lên” sang “KHÔNG tích cực cạnh lên” thì giá trị của  
  ngõ ra có được lưu lại không?
  + Không được lưu lại:
  + Được lưu lại:

Câu 4: Khảo sát tính chất và hoạt động của JK flipflop

* Vẽ mạch có sơ đồ bên dưới trên Quartus:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Sơ đồ mạch:  A close up of a clock  Description generated with high confidence | Bảng hoạt động:   |  |  |  |  | | --- | --- | --- | --- | | **CLK** | **J** | **K** | **Q** | | 0 | X | X | QPRE | | 1 | X | X | QPRE | | ↑ | X | X | QPRE | | ↓ | 0 | 0 | QPRE | | ↓ | 0 | 1 | 0 | | ↓ | 1 | 0 | 1 | | ↓ | 1 | 1 | ~QPRE | |

JK flipflop trên có J và K là tín hiệu dữ liệu, E là tín hiệu Enable. Nếu E chuyển từ 0 sang 1 thì Q =  
D, ngược lại thì Q = QPRE. Trong đó QPRE là giá trị trước đó của Q.

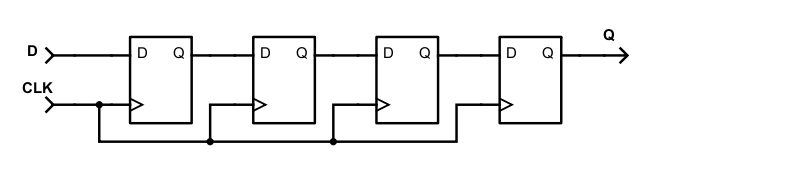
* Mô phỏng JK flipflop trên Quartus theo chuỗi kiểm tra sau (lưu ý, giá trị mặc định ban đầu của  
  Q trên Quartus là 0):

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| J |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| K |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Q |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

* Khi JK flipflop chuyển từ “tích cực cạnh lên” sang “KHÔNG tích cực cạnh lên” thì giá trị của  
  ngõ ra có được lưu lại không?
  + Không được lưu lại:
  + Được lưu lại:

Câu 5: Khảo sát hoạt động của Shifter (Serial D flipflops hay Shift Register)

* Vẽ mạch có sơ đồ bên dưới trên Quartus:



Shifter trên có D là tín hiệu dữ liệu, CLK là tín hiệu Enable. Nếu CLK chuyển từ 0 sang 1 thì Q = D  
tại mỗi D flipflop, ngược lại thì Q = QPRE tại mỗi D flipflop. Trong đó QPRE là giá trị trước đó của Q.

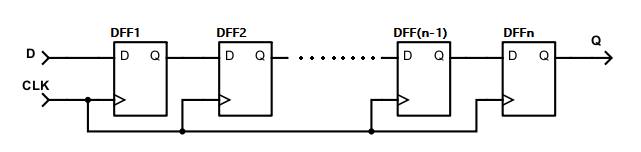
* Mô phỏng Shifter trên Quartus theo chuỗi kiểm tra sau (lưu ý, giá trị mặc định ban đầu của Q  
  trên Quartus là 0):

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| D |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Q |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

* Đưa ra nhận xét về dạng sóng của ngõ ra Q so với ngõ vào D:

|  |
| --- |
| ……………………………………………………………………………………………………………………………………………………………………………………………………. |

* Sau bao nhiêu chu kỳ CLK thì ngõ ra Q bằng ngõ ra D theo sơ đồ mạch bên dưới:



|  |
| --- |
| ………………………………………………………………………………………………….………………………………………………………………………………………………...... |

Câu 6: Khảo sát hoạt động của Register (Parallel D flipflops hay Parallel Register)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Vẽ mạch có sơ đồ bên dưới trên Quartus:  A close up of text on a white surface  Description generated with high confidence  Register trên có Da, Db, Dc, Dd là tín hiệu dữ liệu, CLK là tín hiệu Enable. Nếu CLK chuyển từ 0 sang 1 thì {Qa, Qb, Qc, Qd} = {Da, Db, Dc, Dd}, ngược lại thì {Qa, Qb, Qc, Qd} sẽ giữ giá trị trước đó. | Mô phỏng Register trên Quartus theo chuỗi kiểm tra sau (lưu ý, giá trị mặc định ban đầu của Q trên Quartus là 0):   |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | |  |  |  |  |  |  |  |  |  |  |  |  | | CLK |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Da |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Db |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Dc |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Dd |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Qa |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Qb |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Qc |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | | Qd |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |

* Đưa ra nhận xét về dạng sóng của {Qa, Qb, Qc, Qd} so với ngõ vào {Da, Db, Dc,Dd}:

|  |
| --- |
| ……………………………………………………………………………………………………………………………………………………………………………………………………. |